

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-111990
(43)Date of publication of application : 23.04.1999

(51)Int. Cl. H01L 29/786
H01L 21/318
H01L 21/336

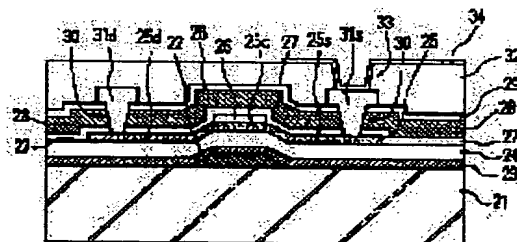
(21)Application number : 09-266706 (71)Applicant : SANYO ELECTRIC CO LTD
(22)Date of filing : 30.09.1997 (72)Inventor : NAKANISHI SHIRO
ODA NOBUHIKO

(54) THIN-FILM TRANSISTOR AND METHOD FOR MANUFACTURING THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a shape of a contact hole provide at an inter-layer insulating film of a thin-film transistor.

SOLUTION: On a transparent substrate 21 where a gate electrode 22 is provided, a silicon nitride film 23 and a silicon oxide film 24, which are to be a gate insulating film 3 are laminated. Furthermore, a polycrystalline silicon film 25 which is to be an active region, a semiconductor film are laminated. A stopper 26 is provided on the polycrystalline silicon film 25 corresponding to the gate electrode 22, and a silicon oxide film 27, a silicon nitride film 28, and a silicon oxide film 29 are so laminated, as an inter-layer insulating film, as to cover the stopper 26. A contact hole 30 is so formed, at the inter-layer insulating film, as to correspond to a source region 25s and a drain region 25d, and a source electrode 31s and drain electrode 31d are provided through the contact hole 30.



LEGAL STATUS

[Date of request for examination] 30.03.2000
[Date of sending the examiner's decision of rejection] 19.03.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection] 2002-06838
[Date of requesting appeal against examiner's decision of rejection] 18.04.2002
[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-111990

(43)公開日 平成11年(1999) 4月23日

(51)Int.Cl. ⁸	識別記号	F I	
H 0 1 L 29/786		H 0 1 L 29/78	6 1 7 U
21/318		21/318	C
21/336		29/78	6 1 7 K
			6 2 7 A
			6 2 7 Z
審査請求 未請求 請求項の数6 O L (全 8 頁)			

(21)出願番号 特願平9-266706

(22)出願日 平成9年(1997) 9月30日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 中西 史朗

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 小田 信彦

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

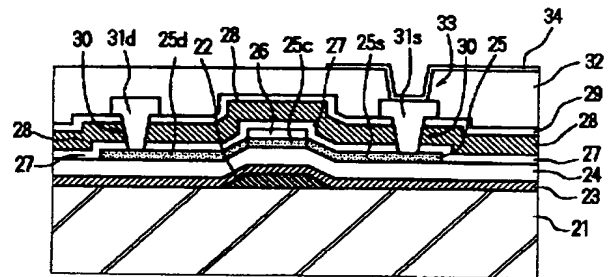
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 薄膜トランジスタ及び薄膜トランジスタの製造方法

(57)【要約】

【課題】 薄膜トランジスタの層間絶縁膜に設けるコンタクトホール30の形状を改善する。

【解決手段】 ゲート電極22が配置された透明基板21上に、ゲート絶縁膜となる窒化シリコン膜23及び酸化シリコン膜24が積層され、さらに、活性領域となる半導体膜としての多結晶シリコン膜25が積層される。ゲート電極22に対応する多結晶シリコン膜25上に、ストッパ26が配置され、このストッパ26を被うように、酸化シリコン膜27、窒化シリコン膜28及び酸化シリコン膜29が層間絶縁膜として積層される。ソース領域25s及びドレイン領域25dに対応して層間絶縁膜にコンタクトホール30が形成され、このコンタクトホール30を通してソース電極31s及びドレイン電極31dが配置される。



【特許請求の範囲】

【請求項 1】 基板と、前記基板の一主面上に配置されたゲート電極と、前記基板上に前記ゲート電極を被って積層されるゲート絶縁膜と、前記ゲート絶縁膜上に積層される半導体膜と、前記半導体膜上に積層される層間絶縁膜と、前記層間絶縁膜を貫通して前記半導体膜に接続される電極と、を有し、前記層間絶縁膜は、窒化シリコン膜及びこの窒化シリコン膜を挟む第 1 及び第 2 の酸化シリコン膜を含むことを特徴とする薄膜トランジスタ。

【請求項 2】 基板と、前記基板の一主面上に積層される半導体膜と、前記半導体膜上に積層されるゲート絶縁膜と、前記ゲート絶縁膜上に前記半導体膜と交差して配置されるゲート電極と、前記ゲート絶縁膜上に前記ゲート電極を被って積層される層間絶縁膜と、前記ゲート絶縁膜及び前記層間絶縁膜を貫通して前記半導体膜に接続される電極と、を有し、前記層間絶縁膜は、窒化シリコン膜及びこの窒化シリコン膜を挟む第 1 及び第 2 の酸化シリコン膜を含むことを特徴とする薄膜トランジスタ。

【請求項 3】 基板の一主面上にゲート電極を形成する第 1 の工程と、前記基板上に前記ゲート電極を被ってゲート絶縁膜を積層し、このゲート絶縁膜上に半導体膜を積層する第 2 の工程と、前記半導体膜上に層間絶縁膜を積層する第 3 の工程と、前記層間絶縁膜を貫通して前記半導体膜に達するコンタクトホールを形成する第 4 の工程と、前記コンタクトホールを通して前記半導体膜に接続される電極を形成する第 5 の工程と、を有し、前記第 3 の工程は、前記半導体膜上に、第 1 の酸化シリコン膜、窒化シリコン膜及び第 2 の酸化シリコン膜を順次積層し、前記第 5 の工程は、前記層間絶縁膜を表面から前記半導体膜に達するまで連続して等方的にエッチングすること

を特徴とする薄膜トランジスタの製造方法。

【請求項 4】 前記層間絶縁膜を前記半導体膜と共に加熱して前記層間絶縁膜に含まれる水素イオンを前記半導体膜内に導入する工程を前記第 3 の工程以降に有することを特徴とする請求項 3 に記載の薄膜トランジスタの製造方法。

【請求項 5】 基板の一主面上に半導体膜を積層する第 1 の工程と、前記半導体膜上にゲート絶縁膜を積層し、このゲート絶縁膜上にゲート電極を形成する第 2 の工程と、前記ゲート絶縁膜上に前記ゲート電極を被って層間絶縁膜を積層する第 3 の工程と、前記ゲート絶縁及び前記層間絶縁膜を貫通して前記半導体膜に達するコンタクトホールを形成する第 4 の工程と、前記コンタクトホールを通して前記半導体膜に接続される電極を形成する第 5 の工程と、を有し、前記第 3 の工程は、前記半導体膜上に、第 1 の酸化シリコン膜、窒化シリコン膜及び第 2 の酸化シリコン膜を順次積層し、前記第 4 の工程は、前記層間絶縁膜を表面から前記半導体膜に達するまで連続して等方的にエッチングすること

を特徴とする請求項 8 に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス方式の表示パネルの画素表示用スイッチング素子に適した薄膜トランジスタに関する。

【0002】

【従来の技術】図 7 は、ボトムゲート型の薄膜トランジスタの構造を示す断面図である。絶縁性の透明基板 1 の表面に、タングステンやクロム等の高融点金属からなるゲート電極 2 が配置される。このゲート電極 2 は、両端部が透明基板 1 側で広がるテーパー形状を成す。ゲート電極 2 が配置された透明基板 1 上には、窒化シリコン膜 3 を介して酸化シリコン膜 4 が積層される。窒化シリコン膜 3 は、透明基板 1 に含まれる不純物が後述する活性領域に浸入するのを阻止し、酸化シリコン膜 4 は、ゲート絶縁膜として働く。酸化シリコン膜 4 上には、ゲート電極 2 を横断して多結晶シリコン膜 5 が積層される。この多結晶シリコン膜 5 が、薄膜トランジスタの活性領域となる。

【0003】多結晶シリコン膜 5 上には、酸化シリコン等の絶縁材料からなるストッパ 6 が配置される。このストッパ 6 に被われた多結晶シリコン膜 5 がチャネル領域 5 c となり、その他の多結晶シリコン膜 5 がソース領域 5 s 及びドレイン領域 5 d となる。ストッパ 6 が形成された多結晶シリコン膜 5 上には、酸化シリコン膜 7 及び窒化シリコン膜 8 が積層される。この酸化シリコン膜 7 及び窒化シリコン膜 8 は、ソース領域 5 s 及びドレイン領域 5 d を含む多結晶シリコン膜 5 を保護する層間絶縁膜となる。

【0004】ソース領域 5 s 及びドレイン領域 5 d 上の酸化シリコン膜 7 及び窒化シリコン膜 8 の所定箇所には、コンタクトホール 9 が形成される。このコンタクトホール 9 部分に、ソース領域 5 s 及びドレイン領域 5 d に接続されるソース電極 10 s 及びドレイン電極 10 d が配置される。ソース電極 10 s 及びドレイン電極 10 d が配置された窒化シリコン膜 8 上には、可視光に対して透明なアクリル樹脂層 11 が積層される。このアクリル樹脂層 11 は、ゲート電極 2 やストッパ 6 により生じる凹凸を埋めて表面を平坦化する。

【0005】ソース電極 10 s 上のアクリル樹脂層 11 には、コンタクトホール 12 が形成される。そして、このコンタクトホール 12 を通してソース電極 10 s に接続される ITO（酸化インジウムすず）等からなる透明電極 13 が、アクリル樹脂層 11 上に広がるように配置される。この透明電極 13 が、液晶表示パネルの表示電

極を構成する。

【0006】以上の薄膜トランジスタは、表示電極と共に透明基板 1 上に複数個が行列配置され、ゲート電極 2 に印加される走査制御信号にตอบสนองして、ドレイン電極 10 d に供給される映像情報を表示電極にそれぞれ印加する。ところで、多結晶シリコン膜 5 は、薄膜トランジスタの活性領域として機能するように、結晶粒径が十分な大きさに形成される。多結晶シリコン膜 5 の結晶粒径を大きく形成する方法としては、エキシマレーザーを用いたレーザーアニール法が知られている。このレーザーアニール法は、ゲート絶縁膜となる酸化シリコン膜 4 上に非晶質状態のシリコンを積層し、先ず、低温の熱処理によって非晶質シリコン膜に含まれる水素を膜外へ排出した後、そのシリコンにエキシマレーザーを照射してシリコンを一旦融解させることにより、シリコンを結晶化させるものである。このようなレーザーアニール法を用いれば、透明基板 1 上で高温となる部分が局所的であるため、透明基板 1 として融点の低いガラス基板を採用できるようになる。

【0007】

【発明が解決しようとする課題】レーザーアニール法によって結晶化された多結晶シリコン膜 5 は、結晶欠陥が多いため、膜内を移動する電子が捕捉され易く、トランジスタの活性領域とするには好ましくない。そこで、一旦形成した多結晶シリコン膜 5 上に、水素イオンを多量に含む絶縁膜を形成し、その絶縁膜と共に熱処理することによって結晶欠陥を水素イオンで埋めるようにしている。

【0008】水素イオンを多量に含む絶縁膜としては、窒化シリコン膜が知られている。プラズマ CVD 法により成膜された窒化シリコン膜の水素イオン濃度は、通常 $10^{22}/\text{cm}^3$ (ハはべき乗を表す) 程度であり、同じプラズマ CVD 法により形成された酸化シリコン膜の水素イオン濃度 ($10^{20}/\text{cm}^3$) と比較して 2 桁程度多くなっている。このような窒化シリコン膜は、活性領域上に直接形成すると、トランジスタ特性を劣化させるため、活性領域と窒化シリコン膜との間には、図 7 に示すように、酸化シリコン膜が形成される。

【0009】しかしながら、酸化シリコン膜 7 上に窒化シリコン膜 8 を重ねた層間絶縁膜においては、フッ酸系のエッチング液を用いたエッチングによるコンタクトホール 9 の形成の際、エッチングレートの違いによってコンタクトホール 9 が底面側で広くなるという問題が生じる。即ち、フッ酸系のエッチング液に対する酸化シリコン膜 7 のエッチングレートが、窒化シリコン膜 8 に比べて速いため、コンタクトホール 9 は、図 8 に示すように、酸化シリコン膜 7 部分で窒化シリコン膜 8 部分よりも広くなる。従って、そのコンタクトホール 9 部分に形成されるソース電極 10 s あるいはドレイン電極 10 d の断線が生じ易くなり、コンタクト不良を招くことにな

る。

【0010】そこで、本発明は、層間絶縁膜に形成するコンタクトホール 9 の形状を改善することを目的とする。

【0011】

【課題を解決するための手段】本発明の薄膜トランジスタは、基板と、前記基板の一主面上に配置されたゲート電極と、前記基板上に前記ゲート電極を被って積層されるゲート絶縁膜と、前記ゲート絶縁膜上に積層される半導体膜と、前記半導体膜上に積層される層間絶縁膜と、前記層間絶縁膜を貫通して前記半導体膜に接続される電極と、を有し、前記層間絶縁膜は、窒化シリコン膜及びこの窒化シリコン膜を挟む第 1 及び第 2 の酸化シリコン膜を含むことを特徴としている。

【0012】さらに、本発明の薄膜トランジスタは、基板と、前記基板の一主面上に積層される半導体膜と、前記半導体膜上に積層されるゲート絶縁膜と、前記ゲート絶縁膜上に前記半導体膜と交差して配置されるゲート電極と、前記ゲート絶縁膜上に前記ゲート電極を被って積層される層間絶縁膜と、前記層間絶縁膜を貫通して前記半導体膜に接続される電極と、を有し、前記層間絶縁膜は、窒化シリコン膜及びこの窒化シリコン膜を挟む第 1 及び第 2 の酸化シリコン膜を含むことを特徴としている。

【0013】そして、本発明の薄膜トランジスタの製造方法は、基板の一主面上にゲート電極を形成する第 1 の工程と、前記基板上に前記ゲート電極を被ってゲート絶縁膜を積層し、このゲート絶縁膜上に半導体膜を積層する第 2 の工程と、前記半導体膜上に層間絶縁膜を積層する第 3 の工程と、前記層間絶縁膜を貫通して前記半導体膜に達するコンタクトホールを形成する第 4 の工程と、前記コンタクトホールを通して前記半導体膜に接続される電極を形成する第 5 の工程と、を有し、前記第 3 の工程は、前記半導体膜上に、第 1 の酸化シリコン膜、窒化シリコン膜及び第 2 の酸化シリコン膜を順次積層し、前記第 5 の工程は、前記層間絶縁膜を表面から前記半導体膜に達するまで連続して等方的にエッチングすることを特徴としている。

【0014】さらに、本発明の薄膜トランジスタの製造方法は、基板の一主面上に半導体膜を積層する第 1 の工程と、前記半導体膜上にゲート絶縁膜を積層し、このゲート絶縁膜上にゲート電極を形成する第 2 の工程と、前記ゲート絶縁膜上に前記ゲート電極を被って層間絶縁膜を積層する第 3 の工程と、前記層間絶縁膜を貫通して前記半導体膜に達するコンタクトホールを形成する第 4 の工程と、前記コンタクトホールを通して前記半導体膜に接続される電極を形成する第 5 の工程と、を有し、前記第 3 の工程は、前記半導体膜上に、第 1 の酸化シリコン膜、窒化シリコン膜及び第 2 の酸化シリコン膜を順次積層し、前記第 4 の工程は、前記層間絶縁膜を表面から前記半導体膜に達するまで連続して等方的にエッチングす

ることを特徴としている。

【0015】本発明によれば、コンタクトホールを形成するエッチングの際、最上層に窒化シリコン膜に比べてエッチングレートの高い酸化シリコン膜があるため、上層側からのエッチングが支配的となる。このため、窒化シリコン膜自体の形状が上層側に向かって広がるテーパー形状となり、電極形成においてステップカバレッジの良好なコンタクトホールが形成される。

【0016】

【発明の実施の形態】図1は、本発明の薄膜トランジスタの第1の実施形態を示す断面図である。この図において、透明基板21、ゲート電極22、窒化シリコン膜23、酸化シリコン膜24及び多結晶シリコン膜25は、図7に示す薄膜トランジスタの透明基板1、ゲート電極2、窒化シリコン膜3、酸化シリコン膜4及び多結晶シリコン膜5と同一である。

【0017】透明基板21の表面にゲート電極22が配置され、このゲート電極22を被って、ゲート絶縁膜としての窒化シリコン膜23及び酸化シリコン膜24が積層される。そして、酸化シリコン膜24上に、活性領域となる半導体膜としての多結晶シリコン膜25が積層される。多結晶シリコン膜25上には、酸化シリコンからなるストッパ26が配置される。このストッパ26に被われた多結晶シリコン膜25がチャネル領域25cとなり、その他の多結晶シリコン膜25がソース領域25s及びドレイン領域25dとなる。ストッパ26が形成された多結晶シリコン膜25上には、多結晶シリコン膜25と接しても悪影響の少ない酸化シリコン膜27が積層される。そして、その酸化シリコン膜27上に、酸化シリコン膜27よりも多量の水素イオンを含み、水素イオンの主な供給源となる窒化シリコン膜28が積層される。さらに、窒化シリコン膜28上に、酸化シリコン膜29が積層される。これらの酸化シリコン膜27、窒化シリコン膜28及び酸化シリコン膜29により、多結晶シリコン膜25を保護する層間絶縁膜が形成される。

【0018】酸化シリコン膜27、窒化シリコン膜28及び酸化シリコン膜29の3層からなる層間絶縁膜には、多結晶シリコン膜25に達するコンタクトホール30が設けられる。そして、このコンタクトホール30部分に、ソース領域25s及びドレイン領域25dに接続されるソース電極31s及びドレイン電極31dが配置される。また、層間絶縁膜上には、ソース電極31s及びドレイン電極31dを被って表面を平坦にするアクリル樹脂層32が積層される。さらに、アクリル樹脂層32にソース電極31sに達するコンタクトホール33が設けられ、ソース電極31sに接続される透明電極34が、アクリル樹脂層32上に広がるように配置される。このソース電極31s、ドレイン電極31d及び透明電極34は、図7に示す薄膜トランジスタのソース電極10s、ドレイン電極10d及び透明電極13と同一であ

る。

【0019】以上の薄膜トランジスタにおいては、層間絶縁膜が、窒化シリコン膜28と、この窒化シリコン膜28よりもフッ酸系のエッチング液に対するエッチングレートの高い酸化シリコン膜27、29により形成されている。このため、フッ酸系のエッチング液を用いたエッチングによってコンタクトホール30を形成した場合、コンタクトホール30の広さは、図2に示すように、酸化シリコン膜27部分と窒化シリコン膜28部分とで差が小さくなる。従って、コンタクトホール30を通して形成されるソース電極31sあるいはドレイン電極31dのコンタクト不良を防止できる。

【0020】図3は、本発明の薄膜トランジスタの第2の実施形態を示す断面図である。この図においては、トップゲート型を示している。絶縁性の透明基板41の表面に、窒化シリコン膜42及び酸化シリコン膜43が積層される。窒化シリコン膜42は、透明基板41に含まれるナトリウム等の不純物イオンの析出を防止し、酸化シリコン膜43は、活性領域となる多結晶シリコン膜44の積層を可能にする。酸化シリコン膜43上の所定の領域に、薄膜トランジスタの活性領域となる半導体膜としての多結晶シリコン膜44が積層される。

【0021】多結晶シリコン膜44が積層された酸化シリコン膜43上に、ゲート絶縁膜となる酸化シリコン膜45が積層される。そして、酸化シリコン膜45上に、タングステンやクロム等の高融点金属からなるゲート電極46が配置される。このゲート電極46は、多結晶シリコン膜44の延在する方向に交差して配置される。このゲート電極46に被われた多結晶シリコン膜44がチャネル領域44cとなり、その他の多結晶シリコン膜44がソース領域44s及びドレイン領域44dとなる。

【0022】ゲート電極46が配置された酸化シリコン膜45上に、酸化シリコン膜47が積層される。そして、酸化シリコン膜47上に窒化シリコン膜48が積層され、さらに、窒化シリコン膜48上に酸化シリコン膜49が積層される。この酸化シリコン膜47、窒化シリコン膜48及び酸化シリコン膜49により、多結晶シリコン膜44を保護する層間絶縁膜が形成される。

【0023】層間絶縁膜には、多結晶シリコン膜44に達するコンタクトホール50が設けられ、ソース領域45s及びドレイン領域45dに接続されるソース電極51s及びドレイン電極51dが配置される。そして、層間絶縁膜上に、ソース電極51s及びドレイン電極51dを被って表面を平坦にするアクリル樹脂層52が積層される。さらに、アクリル樹脂層52にソース電極51sに達するコンタクトホール53が設けられ、ソース電極51sに接続される透明電極54が、アクリル樹脂層52上に広がるように配置される。このソース電極51s、ドレイン電極51d及び透明電極54は、ボトムゲート型の場合と同一である。

【0024】以上の薄膜トランジスタにおいても、フッ酸系のエッチング液を用いたエッチングによってコンタクトホール50を形成した場合、コンタクトホール50の広さは、トップゲート型の場合(図2)と同様に、酸化シリコン膜47部分と窒化シリコン膜48部分とで差が小さくなる。図4(a)～(c)及び図5(d)～

(f)は、第1の実施形態に係る薄膜トランジスタの製造方法を説明する工程別の断面図である。これらの図においては、図1と同一部分を示している。

(a) 第1工程

絶縁性の透明基板21上に、クロムやモリブデン等の高融点金属をスパッタ法により1000Åの膜厚に積層し、高融点金属膜35を形成する。この高融点金属膜35を所定の形状にパターニングし、ゲート電極22を形成する。このパターニング処理では、テーパーエッチングによって、ゲート電極22の両端部が透明基板21側で広くなるようなテーパー形状に形成される。

(b) 第2工程

透明基板21上に、プラズマCVD法により窒化シリコンを500Å以上の膜厚に積層し、連続して、酸化シリコンを1300Å以上の膜厚に積層する。これにより、透明基板21からの不純物イオンの析出を阻止する窒化シリコン膜23及びゲート絶縁膜となる酸化シリコン膜24が形成される。そして、酸化シリコン膜23上に、同じくプラズマCVD法によりシリコンを400Åの膜厚に積層し、非晶質のシリコン膜25'を形成する。そして、430℃程度で1時間以上熱処理してシリコン膜25'中の水素を膜外へ排出し、水素濃度を1%以下にした後、エキシマレーザーをシリコン膜25'に照射し、非晶質状態のシリコンが融解するまで加熱する。これにより、シリコンが結晶化し、多結晶シリコン膜25となる。

(c) 第3工程

多結晶シリコン膜25上に酸化シリコンを1000Åの膜厚に積層し、酸化シリコン膜35を形成する。そして、この酸化シリコン膜35をゲート電極22の形状に合わせてパターニングし、ゲート電極22に重なるストッパ26を形成する。このストッパ26の形成においては、酸化シリコン膜35を被ってレジスト層を形成し、そのレジスト層を透明基板側からゲート電極22をマスクとして露光することにより、マスクずれをなくすることができる。

(d) 第4工程

ストッパ26が形成された多結晶シリコン膜25に対し、形成すべきトランジスタのタイプに対応するP型あるいはN型のイオンを注入する。即ち、Pチャネル型のトランジスタを形成する場合には、ボロン等のP型イオンを注入し、Nチャネル型のトランジスタを形成する場合には、リン等のN型イオンを注入する。この注入により、ストッパ26で被われた領域を除いて多結晶シリコ

ン膜25にP型あるいはN型の導電性を示す領域が形成される。これらの領域が、ストッパ26の両側でソース領域25s及びドレイン領域25dとなる。

(e) 第5工程

ソース領域25s及びドレイン領域25dが形成された多結晶シリコン膜25にエキシマレーザーを照射し、シリコンが融解しない程度に加熱する。これにより、ソース領域25s及びドレイン領域25d内の不純物イオンが活性化される。そして、ストッパ26(ゲート電極22)の両側に所定の幅を残して多結晶シリコン膜25を島状にパターニングし、トランジスタを分離独立させる。

(f) 第6工程

多結晶シリコン膜25上にプラズマCVD法により酸化シリコンを1000Åの膜厚に積層し、連続して、窒化シリコンを3000Åの膜厚、酸化シリコンを500Åの膜厚に順次積層する。これにより、酸化シリコン膜27、窒化シリコン膜28及び酸化シリコン層29の3層からなる層間絶縁膜が形成される。

【0025】層間絶縁膜を形成した後、窒素雰囲気中で加熱し、窒化シリコン膜28内に含まれる水素イオンを多結晶シリコン膜25へ導入する。この加熱処理の温度は、水素イオンの移動が十分であり、透明基板21が損傷を受けない範囲とする必要があり、350～450℃の範囲が適当である。窒化シリコン膜28内に含まれる水素イオンは、窒化シリコン膜28の膜厚に応じて薄く形成された酸化シリコン膜27を通して多結晶シリコン膜25へ導入されるため、多結晶シリコン膜25で必要な量が確実に供給される。これにより、多結晶シリコン膜25内の結晶欠陥が水素イオンで埋められる。

【0026】水素イオンによる多結晶シリコン膜25内の結晶欠陥の補充が完了した後は、ソース領域25s及びドレイン領域25dに対応して、層間絶縁膜を貫通するコンタクトホール30を形成し、このコンタクトホール30部分に、アルミニウム等の金属からなるソース電極31s及びドレイン電極31dを形成する。このソース電極31s及びドレイン電極31dの形成は、例えば、コンタクトホール30が形成された層間絶縁膜上にスパッタリングしたアルミニウムをパターニングすることで形成される。

【0027】続いて、ソース電極31s及びドレイン電極31dが形成された層間絶縁膜上にアクリル樹脂溶液を塗布し、焼成してアクリル樹脂層32を形成する。このアクリル樹脂層32は、ストッパ26やソース電極31s、ドレイン電極31dによる凹凸を埋めて表面を平坦化する。さらに、ソース電極31s上にアクリル樹脂層32を貫通するコンタクトホール33を形成し、このコンタクトホール33部分に、ソース電極31sに接続されるITO等からなる透明電極34を形成する。この透明電極34の形成は、例えば、コンタクトホール33

が形成されたアクリル樹脂層 32 上にスパッタリングした ITO をパターンニングすることで形成される。

【0028】以上の第 1 乃至第 6 工程により、図 1 に示す構造を有するボトムゲート型の薄膜トランジスタが形成される。図 6 (a) ~ (d) は、第 2 の実施形態に係る薄膜トランジスタの製造方法を説明する工程別の断面図である。これらの図においては、図 3 と同一部分を示している。

(a) 第 1 工程

絶縁性の透明基板 41 上に、プラズマ CVD 法により窒化シリコンを 500 Å 以上の膜厚に積層し、連続して、酸化シリコンを 500 Å の膜厚に積層する。これにより、透明基板 41 からの不純物イオンの析出を阻止する窒化シリコン膜 42 及び多結晶シリコン膜 44 の積層を可能にする酸化シリコン膜 43 が形成される。さらに、同じくプラズマ CVD 法によりシリコンを 400 Å の膜厚に積層し、非晶質のシリコン膜 44' を形成する。そして、430℃程度で 1 時間以上熱処理してシリコン膜 44' 中の水素を膜外へ排出し、水素濃度を 1% 以下にした後、エキシマレーザーをシリコン膜 44' に照射し、非晶質状態のシリコンが融解するまで加熱する。これにより、シリコンが結晶化し、多結晶シリコン膜 4.4 となる。

(b) 第 2 工程

トランジスタの形成位置に対応して多結晶シリコン膜 44 を所定の形状にパターンニングし、トランジスタ毎に分離する。多結晶シリコン膜 44 を分離した後、プラズマ CVD 法により酸化シリコンを 1000 Å の膜厚に積層し、ゲート絶縁膜となる酸化シリコン膜 45 を形成する。そして、スパッタ法によりクロムやモリブデン等の金属を 1000 Å の膜厚に積層して、金属膜 54 を形成する。この金属膜 54 を、多結晶シリコン膜 45 を横切る所定の形状にパターンニングし、ゲート電極 46 を形成する。

(c) 第 3 工程

ゲート電極 46 をマスクとし、形成すべきトランジスタのタイプに対応する P 型あるいは N 型のイオンを多結晶シリコン膜 44 へ注入する。この注入においては、ゲート電極 46 で被われた領域を除いて多結晶シリコン膜 44 に P 型あるいは N 型の導電性を示す領域が形成される。これらの領域が、ソース領域 44s 及びドレイン領域 44d となる。そして、所定の導電型の不純物イオンが注入された多結晶シリコン膜 44 にエキシマレーザーを照射し、シリコンが融解しない程度に加熱する。これにより、ソース領域 44s 及びドレイン領域 44d 内の不純物イオンが活性化される。

(d) 第 4 工程

ゲート電極 46 が形成された酸化シリコン膜 45 上にプラズマ CVD 法により酸化シリコンを 1000 Å の膜厚に積層し、連続して、窒化シリコンを 3000 Å の膜

厚、酸化シリコンを 500 Å の膜厚に順次積層する。これにより、酸化シリコン膜 47、窒化シリコン膜 48 及び酸化シリコン膜 49 の 3 層からなる層間絶縁膜が形成される。

【0029】層間絶縁膜を形成した後、窒素雰囲気中で加熱し、窒化シリコン膜 48 内に含まれる水素イオンを多結晶シリコン膜 44 へ導入する。この加熱処理自体は、図 5 (f) に示すボトムゲート型薄膜トランジスタの製造方法の第 6 工程における加熱処理と同一である。ところで、多結晶シリコン膜 44 とゲート電極 46 との間では、界面を拡散経路として水素イオンが拡散し易いため、多結晶シリコン膜 44 のゲート電極 46 に被われた部分では、ゲート電極 46 側面から水素イオンが回り込んで浸入する。従って、高融点金属で形成されるゲート電極 46 が、水素イオンを通さないとしても、問題はない。これにより、多結晶シリコン膜 44 内の結晶欠陥が水素イオンで埋められる。

【0030】多結晶シリコン膜 44 内に水素イオンを導入した後は、ソース領域 44s 及びドレイン領域 44d に対応して、酸化シリコン膜 45 及び層間絶縁膜を貫通するコンタクトホール 50 を形成する。そして、コンタクトホール 50 部分に、アルミニウム等の金属からなるソース電極 51s 及びドレイン電極 51d を形成する。続いて、ソース電極 51s 及びドレイン電極 51d が形成された層間絶縁膜上にアクリル樹脂溶液を塗布し、焼成してアクリル樹脂層 52 を形成する。このアクリル樹脂層 52 は、ゲート電極 46 やソース電極 51s、ドレイン電極 51d による凹凸を埋めて表面を平坦化する。さらに、ソース電極 51s 上にアクリル樹脂層 52 を貫通するコンタクトホール 53 を形成し、このコンタクトホール 53 部分に、ソース電極 51s に接続される ITO 等からなる透明電極 53 を形成する。

【0031】以上の第 1 乃至第 4 工程により、図 3 に示す構造を有するトップゲート型の薄膜トランジスタが形成される。尚、上述の各実施形態において例示した各部の膜厚については、特定の条件における最適値であり、必ずしもこれらの値に限られるものではない。

【0032】

【発明の効果】本発明によれば、層間絶縁膜を貫通して半導体膜に達するコンタクトホールの形状を改善することができる。これにより、電極と半導体膜とのコンタクト不良の発生を防止できると共に、トランジスタの動作特性の劣化を防止することができ、結果的に、製造歩留まりの向上が望める。

【図面の簡単な説明】

【図 1】本発明の薄膜トランジスタの第 1 の実施形態を示す断面図である。

【図 2】本発明の薄膜トランジスタのコンタクトホールの形状を示す断面図である。

【図 3】本発明の薄膜トランジスタの第 2 の実施形態を

示す断面図である。

【図4】第1の実施形態に係る製造方法の前半の工程を示す工程別の断面図である。

【図5】第1の実施形態に係る製造方法の後半の工程を示す工程別の断面図である。

【図6】第2の実施形態に係る製造方法を示す工程別の断面図である。

【図7】従来の薄膜トランジスタの構造を示す断面図である。

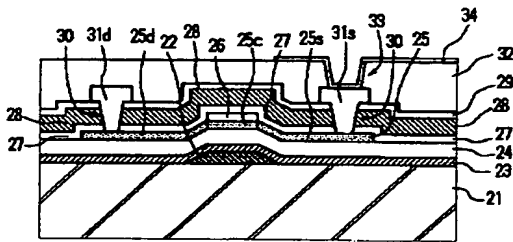
【図8】従来の薄膜トランジスタのコンタクトホール10の形状を示す断面図である。

【符号の説明】

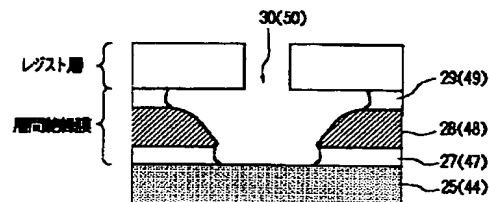
- 1、21、41 透明基板
2、22、46 ゲート電極

- 3、8、23、28、42、48 窒化シリコン膜
4、7、24、27、29、43、47、49 酸化シリコン膜
5、25、44 多結晶シリコン膜
5c、25c、44c チャネル領域
5s、25s、44s ソース領域
5d、25d、44d ドレイン領域
6、26 ストップ
9、12、30、33、50、53 コンタクトホール
10s、31s、51s ソース電極
10d、31d、51d ドレイン電極
11、32、52 アクリル樹脂層
12、34、54 透明電極

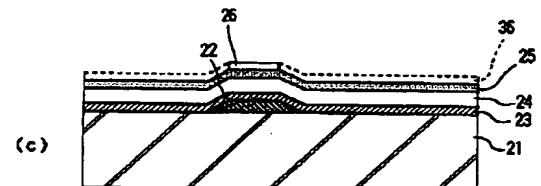
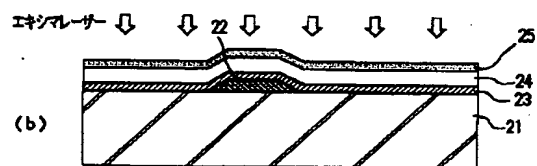
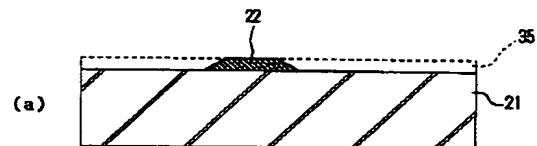
【図1】



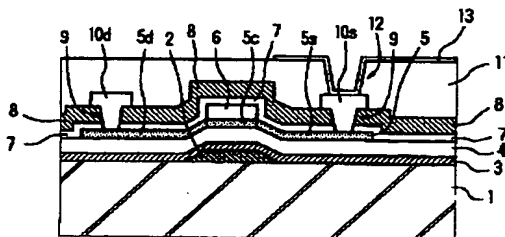
【図2】



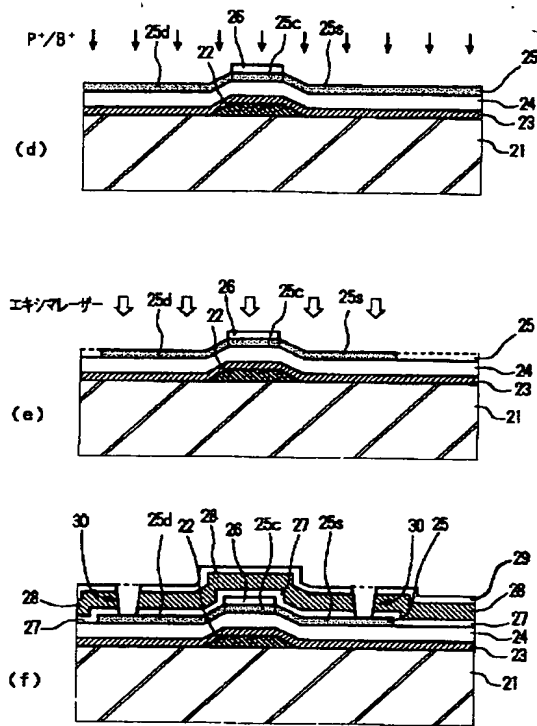
【図4】



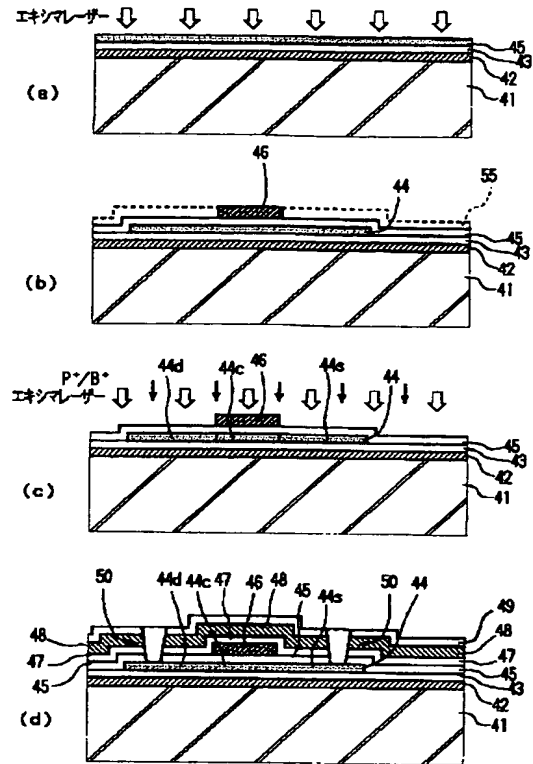
【図7】



【図 5】



【図 6】



【図 8】

